

DOKUMENTACIJA U PROJEKTOVANJU INTEGRISANOG MERAČA POTROŠNJE ELEKTRIČNE ENERGIJE – IMPEG

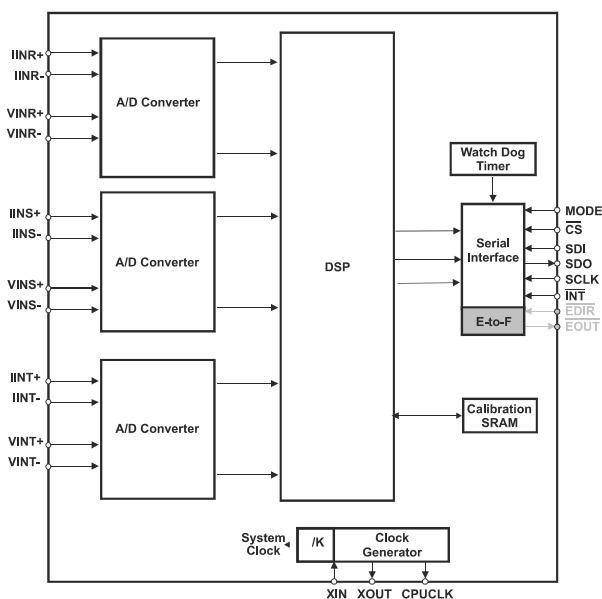
Marko A. Dimitrijević, *Elektronski fakultet u Nišu*

Sadržaj – Integrirani merač potrošnje električne energije – IMPEG je ASIC čip realizovan u AMI Semiconductor 0.35 μ m tehnologiji, u čijem projektovanju je korišten softverski paket Cadence [1]. Rad predstavlja osnovne faze u projektovanju integrisanog kola, dokumente koji nastaju u tim fazama i sagledavanje celokupne dokumentacije.

1. UVOD

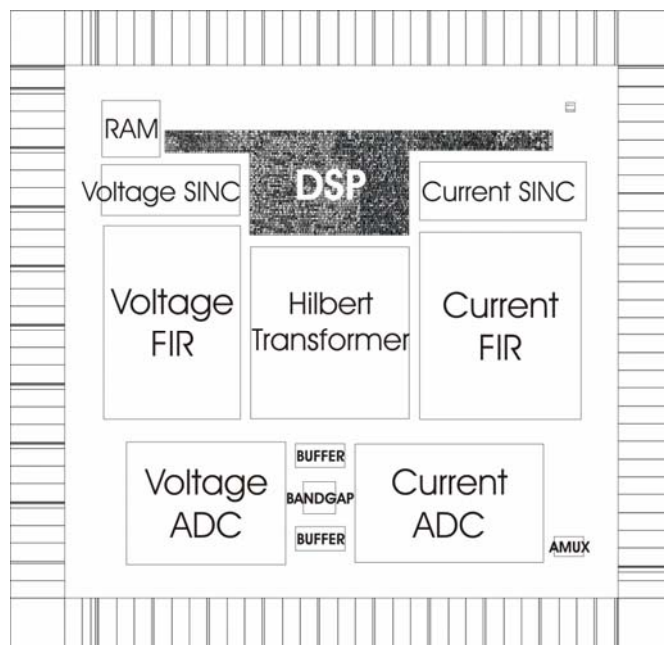
Integrirani merač potrošnje električne energije – IMPEG je integrirano kolo namenjeno za bidirekciono merenje aktivne i reaktivne energije u trofaznim sistemima. Osnovna namena je merenje predate i primljene energije. Pored toga, preko serijskog interfejsa su dostupni i drugi podaci kao što su trenutne i efektivne vrednosti napona i struje, aktivna, reaktivna i prividna snaga, ukupna aktivna, reaktivna i prividna snaga, predata i primljena energija, frekvencija i faktor snage. Na čipu su realizovane i funkcije kontrole napajanja, *watchdog* tajmer, merenje u sva četiri kvadranta, AC i DC kalibracija, samo-startovanje sistema (auto boot) na osnovu podataka iz serijskog EEPROM-a, komunikacija preko SPI protokola i funkcija konverzije energije u frekvenciju. Svi merni podaci odgovaraju klasi 0.2, odnosno 1.0 standarda IEC687/1036, odnosno sve veličine se mere sa tačnošću od najmanje 0,2% dok je frekvencija određena sa tačnošću od 0.01Hz. Prvi prototip je realizovan kao monofazni sistem, finalno integrirano kolo će biti realizovano kao trofazni sistem.

Čip je realizovan kao hibridno ASIC (*Application Specified Integrated Circuit*) integrisano kolo u AMI Semiconductor 0.35 μ m tehnologiji.



Sl.1. Generalna blok šema trofaznog čipa

Analogni deo integrisanog kola se sastoji iz sigma-delta A/D konvertora [2], koji obezbeđuju konverziju analognog signala u digitalni. Na osnovu dobijenih trenutnih vrednosti napona i struja predstavljenih u digitalnom obliku, u DSP bloku [3], koji predstavlja digitalni deo integrisanog kola, se izračunavaju ostale specificirane veličine dostupne putem serijskog interfejsa [4]. Grubo definisana struktura trofaznog čipa grafički je predstavljena na slici 1. Oznake IIN i VIN odnose se na ulazne struje i napone, dok slova R, S i T predstavljaju oznake pojedinih faza. Na čipu se nalaze i blokovi za nadgledanje (*watch dog*), konverziju energije u frekvenciju (E-to-F), kalibraciju (Calibration) i za generisanje osnovnog takta (Clock generator).

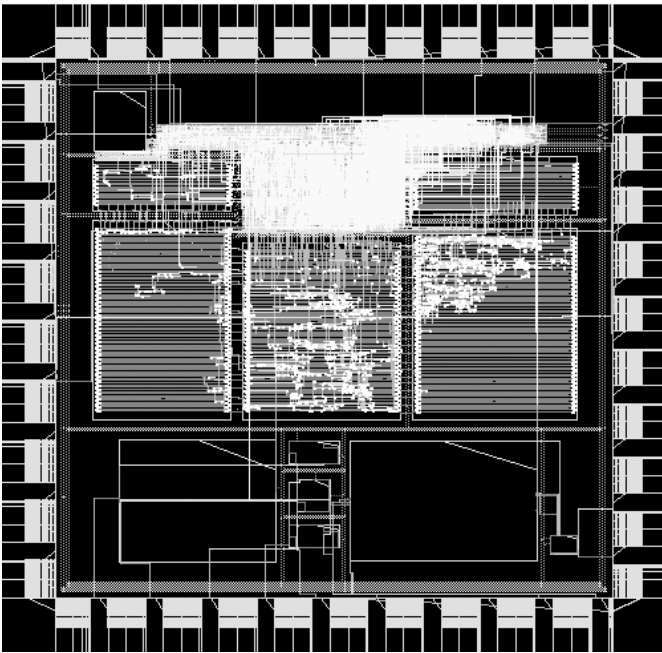


Sl.2 Raspored elemenata na layout-u čipa

2. FAZE PROJEKTOVANJA

Projektovanje hibridnog integrisanog kola se odvija u dve paralelne aktivnosti: projektovanje analognog i projektovanje digitalnog dela čipa. Završna aktivnost u projektovanju je generisanje *layout*-a.

Postupak projektovanja analognog dela čipa počinje editovanjem funkcionalne šeme. Funkcionalna šema se mora simulirati kako bi se verifikovala njena ispravnost. Kada šema ispunjava zadate funkcionalne uslove, pristupa se realizaciji *layout*-a. Verifikacija *layout*-a se vrši u nekoliko koraka: DRC – provera pravila projektovanja (Design Rules Check), ERC – provera električnih pravila (Electric Rules Check), i LVS – poređenje *layout*-a i funkcionalne šeme (Layout Versus Schematic). Verifikovani *layout* se eksportuje i sa digitalnim delovima kola povezuje u celinu.



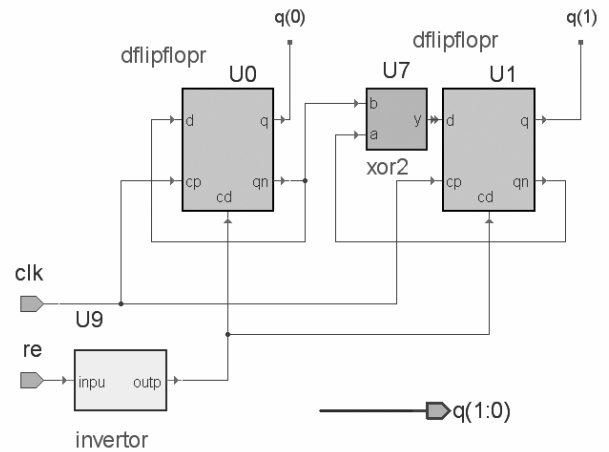
Sl.3 Layout integrisanog kola

Projektovanje digitalnog dela kola počinje procesom logičke sinteze. Digitalni deo kola se funkcionalno predstavlja u VHDL kôdu, proverava simulacijom i pristupa logičkoj sintezi. Na osnovu funkcionalnog opisa se kreira tehnološki nezavisna net-lista. Ovakva net-lista ne sadrži podatke o kašnjenjima standardnih ćelija i ograničenja (opterećenja veza, radni uslovi, kapacitivnosti portova, fanout limit opterećenja, itd.), pa se na osnovu biblioteka tehnologije koja se koristi kreira konačna net-lista. Nakon simulacije konačne net-liste, pristupa se raspoređivanju blokova i rutiranju veza. Analogni delovi kola se tretiraju kao posebni blokovi.

3. IZRADA DOKUMENTACIJE

Izrada dokumentacije predstavlja sastavni deo procesa projektovanja integrisanog kola. Samo dobro dokumentovani rezultati projekta mogu imati praktičnu primenu. Dokumenti nastaju u svim fazama projektovanja u cilju interne komunikacije među članovima tima ili između timova, tako da je važno permanentno praćenje odgovarajuće dokumentacije, odnosno rada na projektu. Praćenje je naročito važno kada je na realizaciji projekta angažovano više projektantskih timova, zaduženih sa različite segmente projekta, koji se mogu odvijati paralelno ili sukcesivno. Završna faza ovog procesa je dokument koji predstavlja konačni rezultat projekta, odnosno završni izveštaj.

Generalno, postoje dva oblika dokumenata koji nastaju u procesu projektovanja: elaborati, odnosno studije, i izveštaji. Elaborati opisuju trenutno stanje u oblasti u čijem okviru je projekat, opisuju iskustva u rešavanju sličnih projektanskih zadataka i razmatraju primenljivost pojedinih rešenja za konkretni problem. Takođe sadrže procenu i obrazloženje primene predloženog rešenja. Izveštaj predstavlja dokument u kome su opisana sopstvena iskustva u rešavanju konkretnog projektanskih zadataka. On sadrži opis problema, opis postojećih rešenja, predlog rešenja konkretnog problema i verifikaciju odabranog rešenja.



Sl.4 Blok šema brojača, deo DSP digitalnog bloka

Imajući u vidu da projektant, odnosno tim, tokom rada beleži trenutno stanje na projektanskom zadatku kojim se bavi, potrebno je omogućiti sublimaciju delimičnih izveštaja u celokupan izveštaj o rezultatima realizacije projekta. Osnovni zadatak svakog projektanta, odnosno tima, jeste rad na samom projektu, tako da se u okviru celokupnog izveštaja ne unose dnevni rezultati, već se prikazuju rezultati ostvareni po završetku određene celine koji predstavlja deo projektanskih zadataka i neposredno po završetku konkretnog zadatka. Pisanje izveštaja ne sme da opterećuje projektanta i fokusira pažnju van njegovog osnovnog zadatka, tako da se dnevni izveštaji o toku rada standardizuju i sistematizuju na način koji omogućava njihovu jednostavnu transformaciju u izveštaj.

```
library IEEE;
use IEEE.std_logic_1164.all;
entity brojac2b is
    port(clk,re : in STD_LOGIC;
         q : out STD_LOGIC_VECTOR(1 downto 0));
end brojac2b;

architecture brojac2b of brojac2b is

    component dflipflop
        port (cd,cp,d : in STD_LOGIC;
              q,qn : out STD_LOGIC);
    end component;
    component inverter
        port (inpu : in STD_LOGIC;
              outp : out STD_LOGIC);
    end component;
    component xor2
        port (a,b : in STD_LOGIC;
              y : out STD_LOGIC);
    end component;

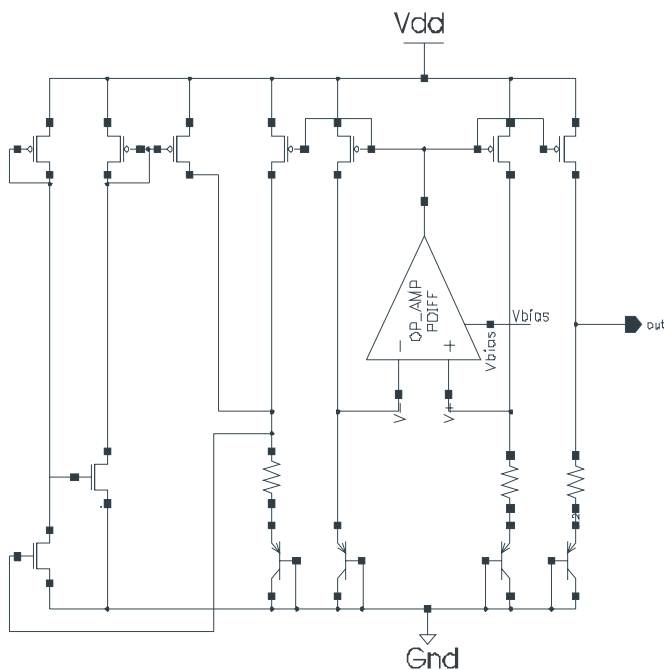
    signal NET101,NET259,NET63,NET65 : STD_LOGIC;

begin
    U0 : dflipflop
        port map(cd => NET259, cp => clk,d =>
        NET101,q => q(0),qn => NET101);
    U1 : dflipflop
        port map(cd => NET259,cp => clk,d => NET63,q
        => q(1),qn => NET65);
    U7 : xor2
        port map(a => NET65,b => NET101,y => NET63);
    U9 : inverter
        port map(inpu => re,outp => NET259);
end brojac2b;
```

Sl.5 Opis brojača u VHDL kôdu

Ovakav pristup je neophodan iz dva razloga. Pre svega, isti projektanti su angažovani na rešavanju više različitih projektnih zadataka. Nakon završetka realizacije jednog, prelazi se na novi i ako se u tom trenutku prethodni ne dokumentuje, postoji opasnost da se izgubi spona sa rešenim problemom i da dokumentovanje njegovog rešavanja ne bude dovoljno koncizno i kompletno. Sa druge strane, na realizaciji jednog zadatka učestvuju više projektanata, tako da je izuzetno značajno da svi imaju uvid u rezultate projektanata sa kojima saraduju na projektu. U ovom slučaju, praćenje dokumentacije delova projekta u kojima učestvuju više projektanata ima za cilj njihovu međusobnu komunikaciju.

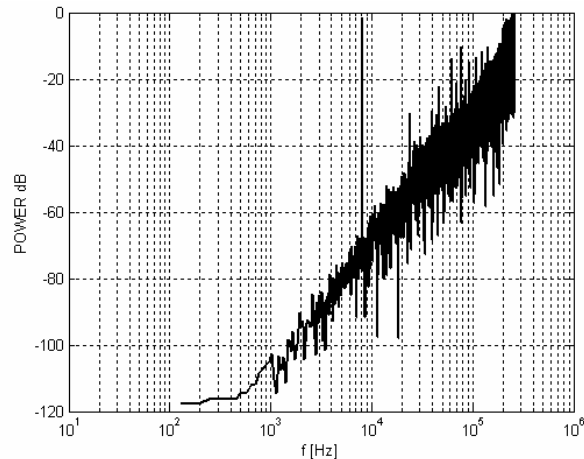
Praćenje realizacije projekta zahteva upotrebu odgovarajućih softverskih alata. Za samo praćenje rada na projektu integrisanog merača potrošnje električne energije primenjen je *Microsoft Project 2000*. Pomenuti softverski alat iskorišćen je za planiranje rada, nadzor nad resursima i kontrolu ispunjenja plana. Međutim, on ne prikazuje konkretne rezultate dobijene tokom realizacije projekta i na završetku svakog konkretnog zadatka. Trenutno postignuti rezultati na realizaciji projekta mogu se sagledati kroz izveštaj koji projektant ili projektantski tim stavlja na uvid drugim projektantima ili timovima. Izveštaj sadrži rezultate i zaključke, i mora da zadovolji određenu formu. Prilikom definisanja forme dokumenata, treba načiniti kompromis između dva protivrečna zahteva: jedan je jednoobraznost stila i izgleda dokumenata, a drugi kreativnost i individualnost projektanta.



Sl.6 CMOS Bandgap izvor referentnog napona [5], sastavni deo analognog dela integrisanog kola

Dokumentacija vezana za razvoj integrisanog kola specifične namene koncipirana je kao master dokument pisan u *Microsoft Word* aplikaciji. Ovaj softverki alat je izabran zbog jednostavnosti ažuriranja dokumentacije, i mogućnosti jednostavne konverzije u druge formate dokumenata. Pojedini subdokumenti koji čine master su ujedno i poglavlja, odnosno dokumenti koji opisuju pojedine segmente integrisanog kola. Ovakav koncept omogućava svim projektantima jednostavno dokumentovanje pojedinačnih zadataka, a istovremeno i sa-

gledavanje celokupnog dokumenta, odnosno kompletnog trenutnog rezultata. Svaki projektant, odnosno projektantski tim pristupa subdokumentu koji opisuje deo projekta za koji je projektant, odnosno tim nadležan, sa ciljem njegovog ažuriranja. Subdokumenti su kreirani na osnovu istog uzorka – *template*, kako bi cela dokumentacija imala identičnu formu. Za praćenje trenutnog stanja projekta, potrebno je pristupiti master dokumentu.



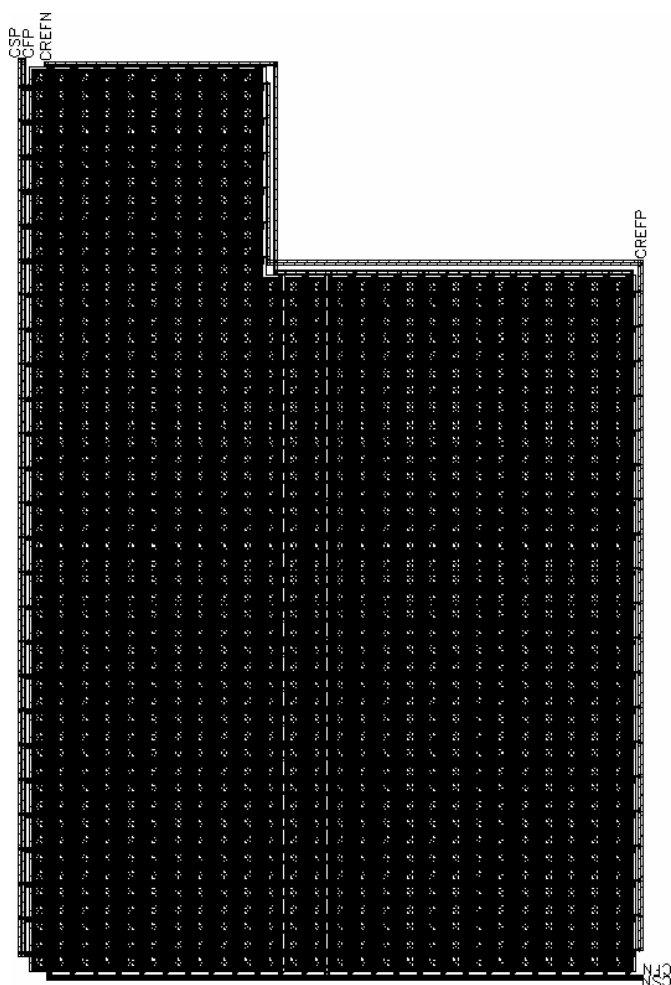
Sl.7 Izlazni spektar analognog dela integrisanog kola [2], dobijen simulacijom na tranzistorskom nivou za 8 kHz 125mV sinusoidni ulazni signal. Frekvencija ulaznog signala je 8 kHz što omogućava razumno vreme simulacije, koja daje dovoljan broj uzoraka (16 ksamples) za FFT analizu.

Pri ovakvoj distribuiranoj izradi dokumentacije, od velike važnosti je pravilno podešavanje prava pristupa, odnosno modifikovanja dokumenata. Svim učesnicima u realizaciji projekta treba omogućiti čitanje svih dokumenata; pravo modifikacije je dato projektantu, odnosno timu koji je angažovan na tom zadatku, odnosno dokumentu.

Sastavni deo dokumentacije čine i datoteke nastali primenom softverskih alata u procesu projektovanja integrisanog kola. U fazi projektovanja analognog dela kola to su funkcionalna šema u obliku net-liste, rezultati simulacije funkcionalne šeme i izveštaji o verifikaciji *layout*-a (DRC, ERC, LVS). Moguća je i *post-layout* simulacija. U fazi projektovanja digitalnog dela integrisanog kola sastavni deo dokumentacije čine net-liste u VHDL, odnosno Verilog kôdu i rezultati simulacija. Takođe, mogu da se generišu i *timing* i *area* izveštaji (*timing and area reports*).

S obzirom na činjenicu da se u procesu projektovanja integrisanog kola veliki broj zadataka realizuje iterativno, dok se simulacijom ne potvrde očekivani rezultati, neophodno je pratiti verzije dokumenata na projektu. Svaka verzija dokumenata odgovara jednoj iteraciji u rešavanju konkretnog zadatka.

Konačni rezultat projekta, odnosno završni izveštaj je publikovan u *Portable Document Format* (PDF) formatu. PDF format je najpogodniji za arhiviranje dokumenata, zbog mogućnosti čitanja na svim softverskim platformama, jednostavnom publikovanju na web stranicama, sertifikacije autentičnosti digitalnim potpisom i jednostavnog štampanja kompletnog izveštaja.



Sl.8 Layout uparenih kondenzatora (matched capacitors)

4. ZAKLJUČAK

Uzimajući u obzir navedene zahteve, kompleksnost izrade dokumentacije kao i potreba za sagledavanjem celine dokumenata, kao prirodno rešenje se nameće sistem za praćenje dokumentacije u mrežnom okruženju. Ovakav sistem može biti baziran kao *client-server* sistem koji funkcioniše preko web servisa.

Pored komercijalno dostupnih *document managemant* sistema, kao što su *Microsoft SharePoint Server* odnosno *Content Menagemant Server*, ili *Adobe Acrobat* u mrežnom okruženju, može se pristupiti i realizaciji namenskog sistema [7] za upravljanje dokumentacijom čija bi osnovna prednost bila platformska nezavisnost.

LITERATURA

- [1] M. Dimitrijević, B. Jovanović, B. Anđelković, M. Savić, M. Sokolović, "Experiences In Using Cadence – The Industry Standard For Integrated Circuits", *zbornik XLV konf. ETRAN*, 1. sveska sr. 31-34, ETRAN 2003, Jun 2003, Herceg Novi
- [2] D. Milovanović, M. Savić, M. Nikolić, "A Third Order Sigma-delta Modulator", *MIEL 2004, prihvaćen rad.*
- [3] M. Sokolović, B. Jovanović, M. Damnjanović, "Decimation Filters Design", *MIEL 2004, prihvaćen rad.*
- [4] M. Cvetković, M. Jeftić, M. Dimitrijević, "I²C-Like Communication for the Power Meter IC", *MIEL 2004, prihvaćen rad.*
- [5] M. Savić, D. Milovanović, "CMOS Bandgap Voltage Reference", *zbornik XLV konf. ETRAN*, ETRAN 2003, 1. sveska sr. 124-127, Jun 2003, Herceg Novi
- [6] V.B. Litovski, „Projektovanje elektronskih kola: simulacija, optimizacija, testiranje, fizičko projektovanje“, Vranje, Nova Jugoslavija, 2000.
- [7] S. Jovanović, J. Milojković, „Informaciona infrastruktura sistema za održivo projektovanje proizvoda u elektronici“, *zbornik XLV konf. ETRAN*, ETRAN 2003, 1. sveska sr. 51-55, Jun 2003, Herceg Novi

Abstract – *Solid State Energy Meter is application specified integrated circuit (ASIC) realized in AMI Semiconductor 0.35μm technology, using Cadence design package. This paper presents basic steps in integrated circuit design, documents generated in these steps and insight of complete documentation.*

DOCUMENTATION IN SOLID STATE ENERGY METER DESIGN

Marko A. Dimitrijević